

## VERTICAL MOS TRANSISTOR AND MANUFACTURE THEREOF

Patent Number: JP6151867  
Publication date: 1994-05-31  
Inventor(s): OKADA MASATAKE  
Applicant(s): SHARP CORP  
Requested Patent: JP6151867  
Application Number: JP19920303981 19921113  
Priority Number(s):  
IPC Classification: H01L29/784  
EC Classification:  
Equivalents: JP2912508B2

### Abstract

PURPOSE: To reduce an ON resistance of a vertical MOS transistor having a trench structure and obtain a high breakdown strength and simplify a process.

CONSTITUTION: P-type well diffusion layers 5 and N-type source diffusion layers 6 formed by stacking the layers in a netted shape and gates of polysilicon layers 4 buried in insulating films 17 of trenches between the layers are installed on the surface of an N-type semiconductor substrate 1. Deep p-type diffusion layers 14 extending below the well diffusion layers 5 of the bottom of the source diffusion layers 6 are installed. The wall diffusion layers 5 and the source diffusion layers 6 are formed by an ion implantation and a thermal diffusion.

Data supplied from the **esp@cenet** database - I2



の4種類のアラビカ種類であり、主に露地栽培で、生豆の緑茶色を呈する。内陸部は秋採採（CC14）、山間部は春採採（CO2）である。内陸部は露地栽培で、山間部は灌漬栽培である。内陸部は主に中粒種で、山間部は主に小粒種である。内陸部の生豆は、主に中粒種で、山間部は主に小粒種である。

[Fig. 2]

[Fig. 3]

[Fig. 4]

[Fig. 5]

[Fig. 6]

[Fig. 7]

(4)

三五八七

（三）作業工程上に於ける一工程を構成する時、同一の工程を複数の機械で行なう場合、各機械の工程時間は、その機械の生産性によって決まる。

【図1】(a)は本明の「某施設の平面図」であり、(b)は「八八」断面図である。

〔図2〕本発明の実施例1 1程の断面図である。  
〔図3〕本発明の実施例1 1程の断面図である。

【図 6】本説明の「実験例」-1 段の断面図である。  
 【図 6】本説明の「実験例」-1 段の断面図である。  
 【図 7】本説明の「実験例」-1 段の断面図である。  
 【図 8】本説明の「実験例」-1 段の断面図である。

[XII] 德米特里耶夫著  
人与自然的断面图

【図1-10】後述の「DMMOS断面図」である。

新編 本居宣長全集

ボリューミッシュ  
ヴァル掷機

卷之三

110 フリーリング部はタクトホール

1.2 第一回 舞臺脚本 夢幻曲  
1.3、1.6、1.7 構作脚

16 漢

【图3】

卷之三

2

THE JOURNAL OF CLIMATE

〔五三〕

2

卷之三

(5)

新規Y6 151867

[図1]

